

BS KB
(703) 205-5020
0941-0928
New

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

Yan-ma SU
1/26/04
18/1

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder：

申請日：西元 2003 年 04 月 17 日
Application Date

申請案號：092108888
Application No.

申請人：華邦電子股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2004 年 1 月 8 日
Issue Date

發文字號：09320029740
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	隨著記憶電容之電容值改變之更新時脈產生裝置以及方法
	英 文	
二、 發明人 (共1人)	姓 名 (中 文)	1. 蘇源茂
	姓 名 (英 文)	1. Yuan-Mou Su
	國 籍 (中 英 文)	1. 中華民國 TW
	住居所 (中 文)	1. 台南縣白河鎮昇安里8鄰三間厝99號
	住居所 (英 文)	1.
三、 申請人 (共1人)	名稱或 姓 名 (中 文)	1. 華邦電子股份有限公司
	名稱或 姓 名 (英 文)	1.
	國 籍 (中 英 文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹科學工業園區研新三路四號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1.
	代表人 (中 文)	1. 焦佑鈞
	代表人 (英 文)	1.



四、中文發明摘要 (發明名稱：隨著記憶電容之電容值改變之更新時脈產生裝置以及方法)

本發明提出一種動態隨機記憶體(dynamic random access memory, DRAM)晶片(chip)的一更新時脈(refresh clock)的產生方法。該DRAM晶片包含有複數之記憶元(memory cell)，每一記憶元包含有一記憶電容。該產生方法包含有1)提供一冗餘電容，該冗餘電容與該記憶電容為正相關；以及2)依據該冗餘電容，產生一更新時脈。其中該更新時脈之更新間隔大約與該冗餘電容之電容值呈正比。本發明可以節省更新動作所消耗之電能。

伍、(一)、本案代表圖為：第1圖

(二)、本案代表圖之元件代表符號簡單說明：

10 冗餘電容

12 時脈產生器

陸、英文發明摘要 (發明名稱：)



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

☐熟習該項技術者易於獲得, 不須寄存。



五、發明說明 (1)

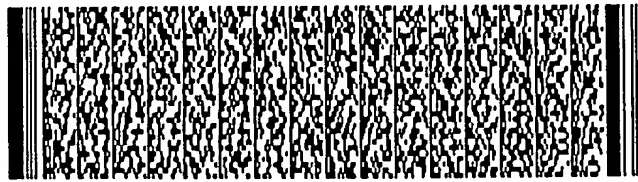
發明所屬之技術領域：

本發明係有關於一種調整動態隨機存取記憶體 (dynamic random access memory, DRAM) 之更新時間的方法以及裝置，尤指一種依據環境溫度不同，而產生不同之更新時間的方法以及裝置。

先前技術：

DRAM 在所有的固態元件記憶體中，算是積集度較高，比較便宜，且讀取速度相當不錯的一種。因此，廣為使用於電子用品之中。然而，DRAM 有一種特徵：DRAM 的記憶元是以電荷量的多寡來代表資料，其中的電荷會隨著時間而流逝。其漏電的主要原因為 DRAM 記憶元中之 NMOS 的 PN 接面之逆偏壓漏電流。因此，每一個 DRAM 的記憶元，每經過一定的時間後，便必須更新其中所記憶的資料，以避免資料流失，此動作稱為更新 (refresh)，而該一定的時間則稱為更新間隔 (refresh interval)。換言之，就算 DRAM 並沒有與外界的 IC 進行資料的讀取，處於 stand-by 的模式下，DRAM 每隔一更新間隔，還是必須消耗一定的電能來進行更新。可以了解的是，如果更新間隔越短，DRAM 因為更新所消耗的功率就越大。

然而，當 DRAM 用於可攜式 (portable) 的電子產品 (譬如 PDA) 時，便不得不致力於降低其所消耗的功率。由於可攜式的電子產品可使用的能量有限，多數是由伴隨的電池所提供，因此，為了延長其使用的時間，其中的電子零件所消耗的功率是越低越好。DRAM 也不例外。所以，如何降



五、發明說明 (2)

低DRAM所消耗的功率，特別是更新所消耗的功率，便成為研發DRAM時之一重要的課題。

發明內容：

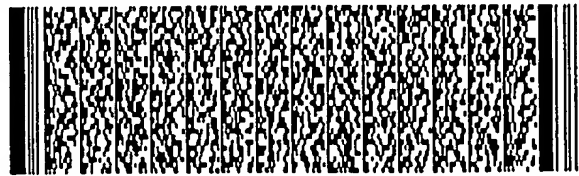
有鑑於此，本發明的主要目的，是產生一適切的更新間隔，以使DRAM進行更新。如此，可以避免不必要的、過短的更新間隔所造成多餘的功率損失。

根據上述之目的，本發明提出一種動態隨機記憶體(dynamic random access memory, DRAM)晶片(chip)的一更新時脈(refresh clock)的產生方法。該DRAM晶片包含有複數之記憶元(memory cell)，每一記憶元包含有一記憶電容。該產生方法包含有1)提供一冗餘電容，該冗餘電容與該記憶電容為正相關；以及2)依據該冗餘電容，產生一更新時脈。其中該更新時脈之更新間隔大約與該冗餘電容之電容值呈正比。

本發明另提供一種一動態隨機存取記憶體晶片中之一更新時脈產生裝置。該DRAM晶片包含有複數之記憶元，每一記憶元具有一記憶電容。該更新時脈產生裝置包含有一冗餘電容以及一時脈產生裝置。該冗餘電容與該記憶電容呈正相關。該時脈產生裝置耦接於該冗餘電容，用以產生該更新時脈。該更新時脈之更新間隔與該冗餘電容之一電容值大約成正比。

所謂正相關意味著記憶電容之電容值增大時，該冗餘電容之電容值也隨著增大。只是不必然為等比例的增加。

當DRAM晶片中的記憶電容隨著製程或是其他因素而改



五、發明說明 (3)

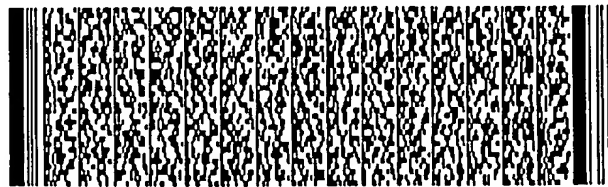
變時，本發明中所產生的更新時脈也會隨之改變。因此，可以產生一個更為適切的更新時脈。一方面可以達成維持記憶元中之記憶資料不流失的目的，另一方面又可以節省更新動作所消耗之電能。

為使本發明之上述目的、特徵和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

實施方式：

DRAM 記憶元中的記憶電容(capacitor)之電容值越大，所存放的電荷越多，越能夠經歷更久的時間而資料不會流失，所以可以採用更長的更新間隔。所以，更新間隔可以說是記憶電容之電容值的函數。或者說，彼此相關。所以，本發明即是利用記憶電容之電容值來自動改變更新時脈中的更新間隔的方法與裝置。

在半導體製程上，隨著製作記憶陣列(memory array)中的記憶電容時，可以在周邊電路(periphery circuit)處製作冗餘電容。換言之，冗餘電容與記憶電容是同步製造出來的。製程上的變化，譬如說臨界尺寸(critical dimension, CD)的飄移(shift)、沉積物的厚度不同等，對於記憶電容的影響，同時也會影響到冗餘電容。所以稱記憶電容與冗餘電容為正相關。如此的冗餘電容有時是放置於周邊電路處的冗餘記憶元(dummy cell)中。當然，也可以以記憶陣列中多餘沒有使用到的記憶電容，來作為冗餘電容，更能反映出一般記憶電容的情形。

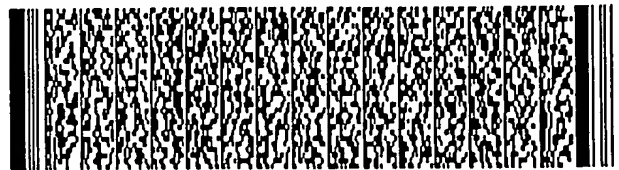
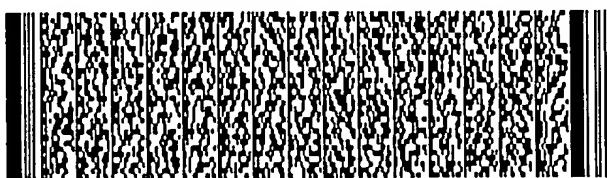


五、發明說明 (4)

第1圖為本發明之更新時脈產生裝置的示意圖。更新時脈產生裝置包含有一冗餘電容10以及一時脈產生器12。時脈產生器12所產生的更新時脈之更新間隔，將會隨著冗餘電容10的電容值增加而增加。如同先前所述，冗餘電容10與記憶電容為正相關，所以更新間隔隨著記憶電容的電容值之增加而增加。因此，本發明之更新時脈產生裝置可以產生一個更為適切的更新時脈，同時達到保持記憶元內的資料以及節省電能的目的。

第2圖為以一環狀震盪器(ring oscillator)實施的實施例。在奇數個反向器(inverter)所串接的環狀震盪器14中，至少在一個地方耦接上一冗餘記憶元(dummy cell)16作為負載。其中，冗餘記憶元16中的NMOS的閘極耦接至高電位(VCC)，一直保持在此turn on的狀態。由於冗餘記憶元中的冗餘電容10同時也成為其中一個反向器的負載，所以環狀震盪器所產生的更新時脈也會受到了冗餘電容的影響。如果電容值變大，更新時脈之週期(即為更新間隔)就變大。如此，更新間隔可以自動的隨著電容值而調整。冗餘記憶元(dummy cell)16可以不只是一個，可以有複數個。或是說，每個反向器的輸出端有一個冗餘記憶元，用來改變每個反向器的輸出負載，以達到變更更新間隔的目的。

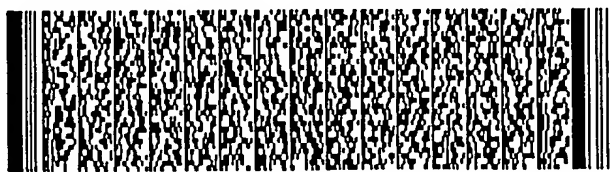
第2圖中的冗餘記憶元(dummy cell)16，也可以是記憶陣列中沒有使用到的一個記憶元(memory cell)，更能反映記憶陣列的真實情形。



五、發明說明 (5)

相較於習知技術中的固定更新間隔之更新時脈，本發明所產生之更新時脈可以隨著記憶電容的電容值變化而改變其更新間隔，如此，可以在保持記憶電容中的資料不遺失的條件下，產生一個比較適切的更新時脈，節省更新所需的電能。

本發明雖以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此項技藝者，在不脫離本發明之精神和範圍內，當可做些許的更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

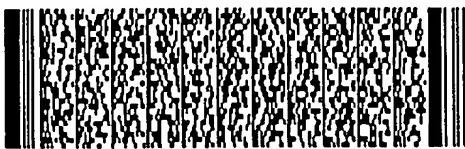


圖式簡單說明

第1圖為本發明之更新時脈產生裝置的示意圖；以及
第2圖為以一環狀震盪器(ring oscillator)實施的實
施例。

符號說明：

- 10 冗餘電容
- 12 時脈產生器
- 14 環狀震盪器
- 16 冗餘記憶元



六、申請專利範圍

1. 一種動態隨機記憶體(dynamic random access memory, DRAM)晶片(chip)的一更新時脈(refresh clock)的產生方法，該DRAM晶片包含有複數之記憶元(memory cell)，每一記憶元包含有一記憶電容，該產生方法包含有：

提供一冗餘電容，該冗餘電容與該記憶電容為正相關；以及

依據該冗餘電容，產生一更新時脈；

其中，該更新時脈之更新間隔係與該冗餘電容之電容值呈正相關。

2. 如申請專利範圍第1項之產生方法，產生該更新時脈之步驟包含有：

提供一震盪電路，以產生該更新時脈，其中，該冗餘電容係為該震盪電路中之一負載。

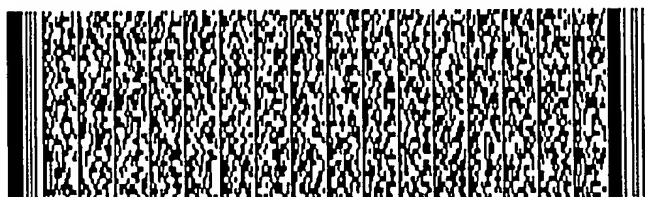
3. 如申請專利範圍第1項之產生方法，其中，該冗餘電容係為該等記憶電容其中之一。

4. 一種動態隨機存取記憶體晶片中之一更新時脈產生裝置，該DRAM晶片包含有複數之記憶元，每一記憶元具有一記憶電容，該更新時脈產生裝置包含有：

一冗餘電容，其與該記憶電容呈正相關；

一時脈產生裝置，耦接於該冗餘電容，用以產生該更新時脈；

其中，該更新時脈之更新間隔係與該冗餘電容之一電容值大約成正相關。



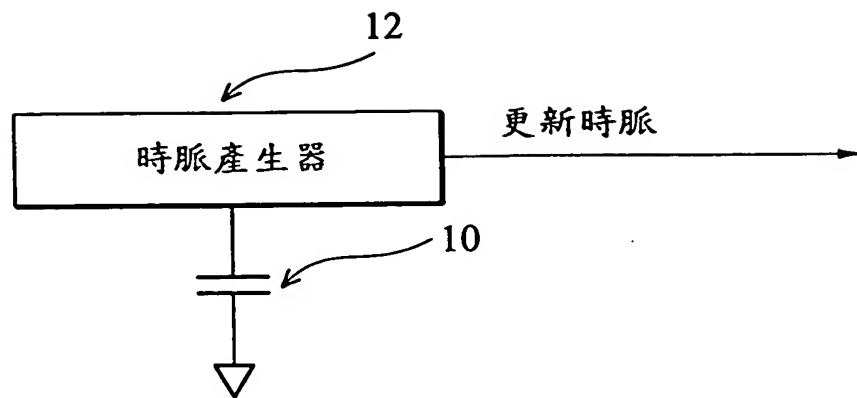
六、申請專利範圍

5. 如申請專利範圍第4項之更新時脈產生裝置，其中，該時脈產生裝置係為一環狀震盪器(ring oscillator)，且該冗餘電容係做為該環狀震盪器的其中之一負載。

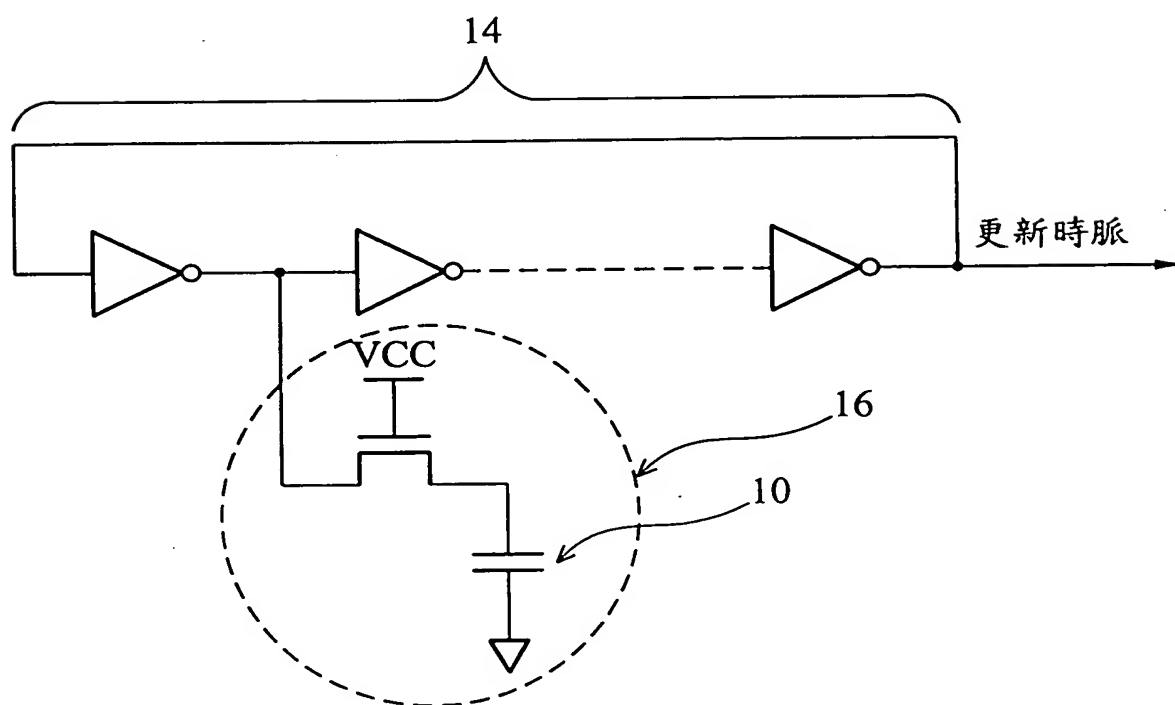
6. 如申請專利範圍第5項之更新時脈產生裝置，其中，該更新時脈產生裝置具有複數冗餘電容，且該環狀震盪器具有複數個反向器，每個反向器之輸出端均耦接有一相對應之冗餘電容。

7. 如申請專利範圍第4項之更新時脈產生裝置，其中，該冗餘電容係為該等記憶電容其中之一。



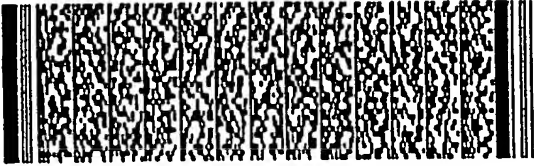


第 1 圖



第 2 圖

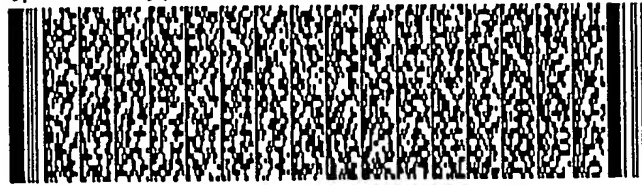
第 1/11 頁



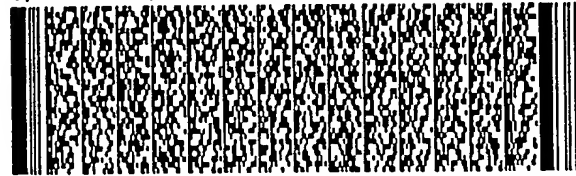
第 3/11 頁



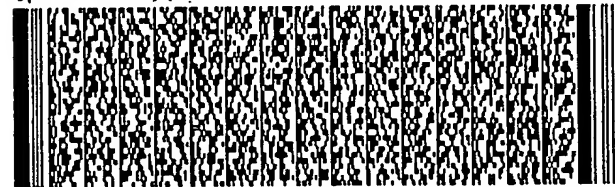
第 4/11 頁



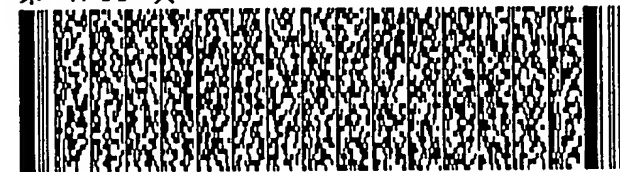
第 5/11 頁



第 6/11 頁



第 7/11 頁



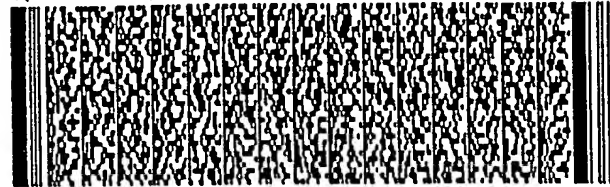
第 9/11 頁



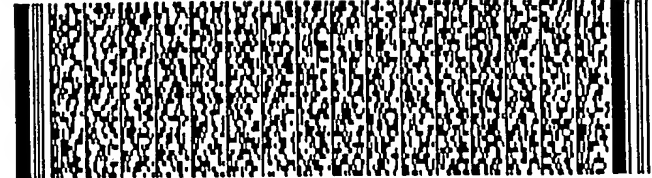
第 11/11 頁



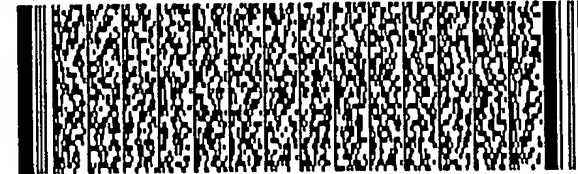
第 2/11 頁



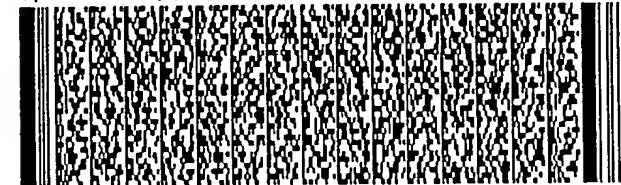
第 4/11 頁



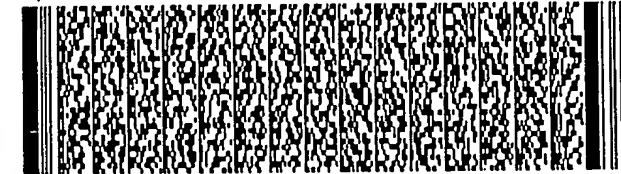
第 5/11 頁



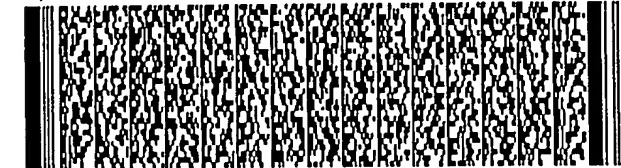
第 6/11 頁



第 7/11 頁



第 8/11 頁



第 10/11 頁

